

日本国特許庁
JAPAN PATENT OFFICE

H. Mori
Filed 7/30/03
Q 76698
10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 8月 2日

出願番号

Application Number: 特願2002-226151

[ST.10/C]:

[J P 2002-226151]

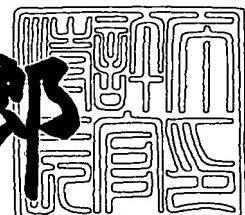
出願人

Applicant(s): NECエレクトロニクス株式会社

2003年 5月 6日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3033224

【書類名】 特許願
【整理番号】 74112378
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/04
【発明者】
【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内
【氏名】 森 秀光
【特許出願人】
【識別番号】 000004237
【氏名又は名称】 日本電気株式会社
【代理人】
【識別番号】 100082935
【弁理士】
【氏名又は名称】 京本 直樹
【電話番号】 03-3454-1111
【選任した代理人】
【識別番号】 100082924
【弁理士】
【氏名又は名称】 福田 修一
【電話番号】 03-3454-1111
【選任した代理人】
【識別番号】 100085268
【弁理士】
【氏名又は名称】 河合 信明
【電話番号】 03-3454-1111
【手数料の表示】
【予納台帳番号】 008279
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板上に形成された第1の層間絶縁膜と、
前記第1の層間絶縁膜上に形成されたエッチング防止層と、
前記エッチング防止層上のメモリセル部に形成された下部電極、強誘電体及び
上部電極からなる強誘電体容量と、
前記強誘電体容量を覆い全面に形成された第2の層間絶縁膜と、
前記第2の層間絶縁膜のメモリセル部に、前記強誘電体容量に対応して形成さ
れた、前記強誘電体容量の前記上部電極を露出させる第1のコンタクトホールと

前記第2の層間絶縁膜のプレートコンタクト部に形成された第2のコンタクト
ホールと、
前記第1のコンタクトホールと前記第2のコンタクトホールを接続するプレー
ト線とを備えることを特徴とする半導体記憶装置。

【請求項2】 前記半導体基板上のメモリセル部に形成されたメモリセルト
ランジスタと、
前記半導体基板上のプレートコンタクト部に形成されたプレートトランジスタ
と、
前記第1の層間絶縁膜及び前記エッチング防止層を貫通して形成され、前記強
誘電体容量の前記下部電極と前記メモリセルトランジスタとを接続する第1の導
電体と、
前記第1の層間絶縁膜及び前記エッチング防止層を貫通して形成され、前記プ
レーントランジスタと前記第2のコンタクトホールに形成されたプレート線とを
接続する第2の導電体とを更に備えることを特徴とする請求項1記載の半導体記
憶装置。

【請求項3】 前記エッチング防止層は、前記第1、2のコンタクトホール
形成の際のエッチング条件において、前記第2の層間絶縁膜よりもエッチング速
度の遅い材料によって構成されていることを特徴とする請求項1または2記載の

半導体記憶装置。

【請求項4】 前記エッティング防止層は、前記第1、2のコンタクトホール形成の際のエッティング条件において、前記第1の層間絶縁膜よりもエッティング速度の遅い材料によって構成されていることを特徴とする請求項3記載の半導体記憶装置。

【請求項5】 前記第2の層間絶縁膜は、平坦化されて形成されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項6】 前記第1のコンタクトホール及び前記第2のコンタクトホール内に形成されたコンタクトプラグを更に備えることを特徴とする請求項5記載の半導体記憶装置。

【請求項7】 半導体基板上に第1の層間絶縁膜を形成する工程と、
前記第1の層間絶縁膜上にエッティング防止層を形成する工程と、
前記エッティング防止層を貫通して前記第1の層間絶縁膜に、メモリセルトランジスタと電気的に接続する第1のコンタクトプラグを形成すると共に、プレートトランジスタと電気的に接続する第2のコンタクトプラグを形成する工程と、
前記第1及び第2のコンタクトプラグと前記エッティング防止層上に下部電極層、強誘電体膜、上部電極層を順次形成する工程と、
前記上部電極層、強誘電体膜、下部電極層をエッティングし、前記第1のコンタクトプラグに接続された強誘電体容量を形成すると共に、前記第2のコンタクトプラグ上の前記上部電極層、強誘電体層及び下部電極層を全てエッティング除去する工程と、
前記強誘電体容量及びエッティング防止層上に第2の層間絶縁膜を形成する工程と、
前記第2の層間絶縁膜の前記強誘電体容量に対応する位置及び前記第2のコンタクトプラグに対応する位置に、前記エッティング防止層をエッティングストップとしたエッティングにより第3のコンタクトホールを形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項8】 前記第3のコンタクトホールを埋め込んで前記第2の層間絶縁膜上に導電体層を形成し、前記強誘電体容量の上部電極と前記第2のコンタク

トプラグとを電気的に接続するプレート線を形成する工程とを備えることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 前記第2の層間絶縁膜を平坦化する工程を更に備えることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項10】 前記第3のコンタクトホールを埋め込んで前記第2の層間絶縁膜上に導電体層を形成し、前記強誘電体容量の上部電極と前記第2のコンタクトプラグとを電気的に接続するプレート線を形成する工程を備えることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 前記強誘電体容量に対応する位置及び前記第2のコンタクトプラグに対応する位置に形成された前記第3のコンタクトホールを埋め込んで、第3のコンタクトプラグ及び第4のコンタクトプラグを形成する工程と、

前記第3のコンタクトプラグ及び前記第4のコンタクトプラグとを電気的に接続するプレート線を形成する工程とを備えることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項12】 前記上部電極層、強誘電体膜、下部電極層をエッチングした後、更に熱処理する工程を備えることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項13】 前記第3のコンタクトホールを形成した後、更に熱処理する工程を備えることを特徴とする請求項7記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置及びその製造方法に関し、特に、強誘電体容量を備える半導体記憶装置及びその製造方法に関する

【0002】

【従来の技術】

近年、半導体記憶装置として、強誘電体容量を備えた半導体記憶装置である強誘電体メモリ(FRAM)が注目されている。FRAMは、不揮発性メモリとして、データの書き換え回数が多く、書き換え速度も高速で、セルサイズも小

きいという利点を有している。

【0003】

例えば、1トランジスタ、1キャパシタ型のFeRAMメモリセルは、トランジスタのソース・ドレインをビット線と強誘電体容量の一方の電極に接続すると共にゲートをワード線に接続し、強誘電体容量の他方の電極をプレート線に接続することによって構成される。

【0004】

このようなFeRAMメモリセルへのデータ”1”の書き込みは、ワード線によって選択されたメモリセルに対して、ビット線に電源電圧Vcc及びプレート線にGND（接地）を印加して強誘電体を分極させることにより行なわれ、データ”0”の書き込みは、ビット線に接地及びプレート線にVccを印加して強誘電体を分極させて行なわれる。

【0005】

メモリセルからのデータ読み出しは、プレート線に電圧Vccを印加すると共に、ワード線によって選択されたトランジスタを介して、強誘電体容量に記憶されたデータをビット線に出力し、ビット線の電位をセンスアンプで増幅することによって行なわれる。

【0006】

上述した特徴を有するFeRAMのデバイス構造として、製造工程数削減の点から多層配線上に強誘電体容量を形成する構造が良く用いられている。このような構造のFeRAMでは、強誘電体容量の下部電極は、トランジスタの拡散層に接続され、上部電極は、プレート線に接続されるが、データ読み出し時には、上部電極にプレート線を介して電圧Vccを印加する必要性があるため、強誘電体容量よりも上層に形成されるプレート線をプレート線駆動用のトランジスタと接続するために下層の配線層に接続する手段が必要となる。

【0007】

従来、多層配線上に強誘電体容量を形成するプロセスとして、特開平11-317500号公報に示される、以下の技術が知られている。

【0008】

まず最初に、強誘電体容量の上部電極と下部電極とを別々に加工し、プレート線を下層の配線層に接続する部分において、下部電極によるパッドを形成する、第1の従来技術によるプロセスを、図14～20を参照して説明する。

【0009】

図14に示すように、通常のCMOSプロセスに従って、メモリセルトランジスタMTr及びプレートトランジスタPTrに続いて多層配線層1001（図の例では、3層の多層配線層）を形成する。メモリセル部の強誘電体容量を形成する多層配線層の最上層及びプレート線が下部電極と接続するプレートコンタクト部を形成する多層配線層の最上層において、最上層の層間絶縁膜中にはコンタクトホールを形成されると共に、当該コンタクトホールを埋め込んで第3層の配線上接続されるタングステンからなる導電体プラグが形成されている。

【0010】

この多層配線層の最上層及び導電体プラグを覆って、図15に示すように、下部電極層1002、強誘電体膜1003、上部電極層1004を順次成膜する。次に、フォトレジストからなるマスク1005を上部電極層上に選択形成し、図16に示すように、当該マスクに基づいて上部電極層をエッチングして強誘電体容量の上部電極を形成する。このとき、プレートコンタクト部においては、マスク1005が形成されていないため、上部電極層1004はエッチング除去され、強誘電体膜1003が露出する。

【0011】

次に、マスク1005を除去した後、図17に示すように、上部電極を覆うようにフォトレジストからなるマスク1006を選択形成し、強誘電体膜1003及び下部電極層1002をパターニングして、強誘電体容量の容量絶縁膜及び下部電極を形成する。このとき、プレートコンタクト部にも、マスク1006を同時に形成しエッチングすることにより、強誘電体膜1003及び下部電極層1002を残存させる。

【0012】

その後、マスク1006を除去した後、図18に示すように、プレートコンタクト部において、フォトレジストからなるマスク1007を用いて容量絶縁膜（

強誘電体膜) 1003をウェットエッティングにより取り除き、下部電極1002を露出させる。

【0013】

次に、マスク1007を除去した後、図19に示すように、シリコン酸化膜1008を全面に成長し、メモリセル部の強誘電体容量の上部電極上並びにプレートコンタクト部においてコンタクト1009を開孔する。その後、コンタクト1009を埋め込んで全面に配線層を形成し、パターニングすることによって、図20に示すように、メモリセル部の強誘電体容量の上部電極1004とプレートコンタクト部の下部電極1002とをプレート線により接続することにより、プレートトランジスタPTrと強誘電体容量の上部電極1004とを接続する。

【0014】

また、工程数削減のために上部電極と下部電極とを一度のリソグラフィー(同一のマスクによるパターニング)で加工する方法も提案されている。この第2の従来技術を、以下に説明する。

【0015】

第1の従来技術と同様に、多層配線層1009が形成されるが、多層配線層1009の最上層の絶縁膜において、メモリセル部では、第1の従来技術と同様にコンタクトプラグが形成されているが、プレートコンタクト部ではコンタクトプラグが形成されていない。

【0016】

この多層配線層1009上に、図22に示すように、下部電極層1002、強誘電体膜1003、上部電極1004を順次堆積する。その後、図23に示すように、下部電極層1002上にマスク1010を形成し、上部電極層1004／強誘電体膜1003／下部電極層1002を、マスク1010に基づいて同時にパターニングする。このとき、プレートコンタクト部においては、上部電極層1004／強誘電体膜1003／下部電極層1002を全てエッティング除去し、多層配線層1009の最上層の絶縁膜を露出させる。

【0017】

その後、図24に示すように、シリコン酸化膜1011を全面に成長し、強誘

電体容量の上部電極1004上にコンタクト1012及びプレートコンタクト部においてコンタクト1013を開孔する。このとき、プレートコンタクト部においては、強誘電体容量上のシリコン酸化膜1011の膜厚分だけではなく、多層配線層1009の第3層配線層1014上に形成された最上層の絶縁膜1015の膜厚分をもエッチングする必要があるため、深いコンタクトホールを形成する必要がある。したがって、プレート線の穴埋め性を考慮に入れてプレート線と第3層配線層との接続を良好にするために、プレートコンタクト径をコンタクト高さに見合うよう大きく、すなわち、アスペクト比を小さくしておく必要がある。その後、図25に示すように、第1の実施例と同様の方法でプレート線を形成して、プレートコンタクト部とメモリセル部とをプレート線により接続する。

【0018】

また、多層配線層1001を形成した後、一度のパターニングで、上部電極層／強誘電体膜／下部電極層を形成することにより、工程数を削減する第3の従来技術について、説明する。

【0019】

多層配線層1001上に下部電極層1002、強誘電体膜1003、上部電極層1004を形成する図15に示される工程までは、第1の実施例と同様のため、説明を省略する。

【0020】

まず、上部電極層1004のメモリセル部に選択的にフォトレジストから成るマスク1016を形成し、下部電極層1002、強誘電体膜1003、上部電極層1004をエッチングし、メモリセル部に強誘電体容量を形成する。このとき、プレートコンタクト部にはマスクが形成されていないため、下部電極層1002、強誘電体膜1003、上部電極層1004はすべて除去され、多層配線層1001の最上層の絶縁膜及びコンタクトプラグが露出する。

【0021】

次に、マスク1016を除去した後、図27に示すようにシリコン酸化膜1017を全面に形成し、シリコン酸化膜1017のメモリセル部の強誘電体容量の上部電極上及びプレートコンタクト部のコンタクトプラグ上にコンタクトホール

を形成する。その後、第1の従来技術と同様に、配線層を形成した後バターニングして上部電極とコンタクトプラグとを接続するプレート線を形成する。

【0022】

【発明が解決しようとする課題】

このように、第1の従来技術では、上部電極と下部電極を別々に加工することになるため、上部電極は下部電極よりもある程度の目合わせマージンを持たせて、下部よりも小さめに形成する必要性があり、強誘電体容量としての実効面積が小さくなる。また、上部電極／強誘電体膜／下部電極を形成した後、①マスク－②上部電極層エッチング－③マスク除去－④マスク－⑤強誘電体容量膜・下部電極層エッチング－⑥マスク除去－⑦マスク－⑧プレートコンタクト上の強誘電体容量膜エッチング－⑨シリコン酸化膜形成という工程が必要となるため、マスクを用いる工程が3回あり工程数が多くなる。

【0023】

第2の従来技術では、プレートコンタクトの深さが、容量上のシリコン酸化膜の膜厚分と多層配線層の最上層の絶縁膜の膜厚分を合わせた深さになるため、プレート線に用いられる材料（例えば、A1）の穴埋め性を考慮に入れてアスペクト比を維持する必要性がある。すなわち、深さに合わせてプレートコンタクト径を大きく形成する必要がある。したがって、上部電極と、下部電極とを同時に形成しているため、強誘電体容量の容量値を大きくすることができるが、大きな径のプレートコンタクトを狭いプレート線毎に形成する必要性があり、プレートコンタクトのレイアウトが困難になる。

【0024】

第3の従来技術では、第2の従来技術と同様に上部電極と、下部電極とを同時に形成しているため、強誘電体容量の容量値を大きくすることできる。しかしながら、マスクずれによって、図27に示されるように、多層配線層の最上層の絶縁膜がオーバーエッチングされた部分では、深さ／穴の径であらわされるアスペクト比が大きくなっているため、プレート線によって埋め込まれずボイドとして残る。このボイド内の気体は、後の熱処理工程によって膨張し、埋め込んだはずのプレート線を押し上げコンタクトプラグとプレート線の接触不良を起こす原因

となる。

【0025】

このように、いずれの従来技術も強誘電体容量の微細化が成された際に、強誘電体容量の上部電極と下部電極の面積をほぼ同一にする、すなわち対向面積を最大にすると共に、プレートコンタクトの径を大きくすること無く、強誘電体容量の上部電極にプレート線が接続されたF e R A Mを提供することができない。

【0026】

したがって、本発明は、多層配線上に強誘電体容量を形成する構造のF e R A Mにおいて、強誘電体容量の微細化が成された際に、強誘電体容量の上部電極と下部電極の対向面積を最大にすると共に、プレートコンタクトの径を小さくしても接触不良を起こさない信頼性の高いF e R A Mを提供することを目的とする。

【0027】

【課題を解決するための手段】

本発明による半導体記憶装置は、半導体基板上に形成された第1の層間絶縁膜と、第1の層間絶縁膜上に形成されたエッチング防止層と、エッチング防止層上のメモリセル部に形成された下部電極、強誘電体及び上部電極からなる強誘電体容量と、強誘電体容量を覆い全面に形成された第2の層間絶縁膜と、第2の層間絶縁膜のメモリセル部に、強誘電体容量に対応して形成された、強誘電体容量の上部電極を露出させる第1のコンタクトホールと、第2の層間絶縁膜のプレートコンタクト部に形成された第2のコンタクトホールと、第1のコンタクトホールと第2のコンタクトホールを接続するプレート線とを備えることを特徴とする。

【0028】

このように、エッチング防止層を備えることにより、強誘電体容量上に形成される第1のコンタクトホールとプレートコンタクト部に形成される第2のコンタクトホールとを接触不良を起こすことなくプレート線により接続することが可能となる。

【0029】

本発明による半導体記憶装置の製造方法は、半導体基板上に第1の層間絶縁膜を形成する工程と、第1の層間絶縁膜上にエッチング防止層を形成する工程と、

エッチング防止層を貫通して第1の層間絶縁膜に、メモリセルトランジスタと電気的に接続する第1のコンタクトプラグを形成すると共に、プレートトランジスタと電気的に接続する第2のコンタクトプラグを形成する工程と、第1及び第2のコンタクトプラグと前記エッチング防止層上に下部電極層、強誘電体膜、上部電極層を順次形成する工程と、上部電極層、強誘電体膜、下部電極層をエッチングし、第1のコンタクトプラグに接続された強誘電体容量を形成すると共に、第2のコンタクトプラグ上の上部電極層、強誘電体層及び下部電極層を全てエッチング除去する工程と、強誘電体容量及びエッチング防止層上に第2の層間絶縁膜を形成する工程と、第2の層間絶縁膜の前記強誘電体容量に対応する位置及び第2のコンタクトプラグに対応する位置に、エッティング防止層をエッティングストップとしたエッティングにより第3のコンタクトホールを形成する工程とを備えることを備えることを特徴とする。

【0030】

このように、エッティング防止層を第2の層間絶縁膜にコンタクトホールを形成する際のエッティングストップとして使用することによって、プレートトランジスタと接続する第2のコンタクトプラグの周辺の第1の層間絶縁膜がオーバーエッティングされることがなくなる。したがって、第2のコンタクトプラグとプレート線との間の接触不良を低減することが可能となる。

【0031】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行なう。

【0032】

本発明の第1の実施例によるFeRAMは、図1に示すように、メモリセル部において、強誘電体容量16の下部電極1601が、層間絶縁膜1111と、絶縁膜1301とを貫いて形成されたコンタクトプラグ1110上に形成されると共に、プレートコンタクト部において、プレート線1501が、層間絶縁膜1111と、絶縁膜1301とを貫いて形成されたコンタクトプラグ1110上に形成される。プレートコンタクト部のプレート線1501は、メモリセル部まで延

在形成され、強誘電体容量16の上部電極1603に接続される。なお、半導体基板1上のメモリセル部に形成されたメモリセルトランジスタMTrの拡散層1201と強誘電体容量16の下部電極1601とは、多層配線層11を介して接続される。

【0033】

多層配線層11は、第1のコンタクトプラグ1101、第1の層間絶縁膜1102、第1の配線層1103、第2のコンタクトプラグ1104、第2の層間絶縁膜1105、第2の配線層1106、第3のコンタクトプラグ1107、第3の層間絶縁膜1108、第3の配線層1109、第4のコンタクトプラグ1110、第4の層間絶縁膜1111から構成されるが、多層配線層の形成方法については説明を省略する。

【0034】

次に、図2及び図3の平面図を用いてメモリセル部と、プレートコンタクト部の構造を説明する。

【0035】

メモリセル部において、メモリセルトランジスタMTrは、P型半導体基板1に形成されたN+型拡散層（ソース・ドレイン）1201と、シリコン酸化膜により形成されるゲート絶縁膜1202、ポリシリコン又はシリサイドにより形成されるゲート電極1203とから構成され、N+型拡散層の一方は、コンタクトプラグ1112を介して第1の配線層（アルミ配線）により形成されるビット線に接続され、N+型拡散層の他方は、タンゲステンプラグにより構成される第1から第4のコンタクトプラグ1101、1104、1107、1110及び第1から第3配線1103、1106、1109を介して上方に形成される強誘電体容量16の下部電極1601と接続される。なお、強誘電体容量16は、チタン、窒化チタン、白金が順番に形成された下部電極1601と、PZT膜（PbZ_rTi_{1-x}O₃）からなる強誘電体膜1602と、酸化イリジウム、イリジウムの順に形成された上部電極1603とから構成されている。

【0036】

プレートコンタクト部において、プレート線1501に電圧を印加するための

プレートトランジスタPTrは、P型半導体基板1上に形成されたN+型拡散層（ソース・ドレイン）1201と、ゲート電極1203とから構成され、N+型拡散層の一方は、第1から第4のコンタクトプラグ1101、1104、1107、1110及び第1から第3配線1103、1106、1109を介して上方に形成されるプレート線1501と接続される。

【0037】

第4のコンタクトプラグを形成する最上層のタンゲステンプラグの上部側面には、シリコン窒化膜、あるいはシリコン窒化膜上にシリコン酸化膜を形成した積層膜が絶縁膜1301として形成される。なお、プレート線1501は、メモリセル部に形成された強誘電体容量16の上部電極1603とプレートコンタクト部の第4のコンタクトプラグ1110とを接続する。この絶縁膜1301は、第4のコンタクトプラグ1110直上にコンタクトホールを形成する際に、絶縁膜1301上でコンタクトエッチングをストップすることが出来るエッチングストッパーの役目を果たす。

【0038】

したがって、シリコン酸化膜1401にコンタクトホールを形成する際ににおいて、マスクの目ずれが起きた場合、あるいはプレートコンタクトが第4のコンタクトプラグ1110よりも大口径で形成される場合に、第4のコンタクトプラグ1110からプレートコンタクトが外れたとしても、ボイドの原因となるオーバーエッチングは起こらず、コンタクト不良を生じることがない。また、シリコン酸化膜1401のみにコンタクトホールを形成すれば良いため、プレートコンタクト部におけるプレートコンタクト径を大きくする必要がなく、効率的にレイアウトすることが可能になるという効果が得られる。

【0039】

次に、上述した構成を得るための第1の実施例による本発明の製造方法について、図面を参照しながら説明する。

【0040】

まず、通常のCMOSプロセスに従って、図4に示すように、半導体基板1上に形成されたメモリセルトランジスタMT_r及びプレートトランジスタPTr上

に、タングステンからなる第1のコンタクトプラグ1101、シリコン酸化膜からなる第1の層間絶縁膜1102、アルミニウムからなる第1の配線層1103、タングステンからなる第2のコンタクトプラグ1104、シリコン酸化膜からなる第2の層間絶縁膜1105、アルミニウムからなる第2の配線層1106、タングステンからなる第3のコンタクトプラグ1107、アルミニウムからなる第3の層間絶縁膜1108を形成し、シリコン酸化膜からなる第3の層間絶縁膜1108上にアルミニウムからなる第3の配線層1109を形成する。つづいて、第3の配線層1109上にシリコン酸化膜からなる第4の層間絶縁膜1110を形成し、化学研磨法(CMP)により第4の層間絶縁膜1110を平坦化する。その後、第4の層間絶縁膜1110上に、プラズマCVD法によるシリコン窒化膜やシリコン窒化酸化膜を100nm程度、或いは100nm程度のシリコン窒化膜上に30nm程度のシリコン酸化膜、或いは100nm程度のシリコン窒化酸化膜上に30nm程度のシリコン酸化膜をエッチング防止層1301として堆積する。

【0041】

次に、エッチング防止層1301上に、フォトレジストからなるマスクを形成し、第3の配線層1109に達するコンタクトホールを形成した後、図5に示すように、チタン、窒化チタン(例えばチタン15nm、窒化チタン50nm程度)をスパッタ法により第3の配線層1109上に形成し、さらにCVD法によりタングステンをコンタクトホール内が埋め込まれるように堆積した後、タングステンのエッチバックを行い、コンタクトホール内にタングステンを残存させタングステンプラグ1110を形成する。さらに、エッチング防止層1301上にも形成されているチタン、窒化チタンをCMP法により研磨・除去する。なお、チタン、窒化チタンは第3の配線層であるA1配線とタングステンプラグとの間に、バリアメタルとして形成されている。

【0042】

次に、図6に示すように、エッチング防止膜1301上にチタン、窒化チタン、白金を順次形成して(例えば、チタン20nm、窒化チタン50nm、白金100nm程度)下部電極層1601を形成し、下部電極層1601の上に250

n m程度のP Z T膜のような強誘電体膜1602を形成し、強誘電体膜1602の上に50 n m程度の酸化イリジウム、50 n m程度のイリジウムを順次形成して上部電極層1603を形成する。

【0043】

次に、メモリセル部上に強誘電体容量を形成するため、メモリセル部を選択的にマスクし、ドライエッチングを行ない、コンタクトプラグ上に選択的に強誘電体容量16を形成する。上部電極は、C1₂/Ar、P Z T膜はBC1₃/Ar、下部電極はC1₂/Arからなるエッチングガスを用いたドライエッチングによって、それぞれエッチングされる。エッチングを行なう際、レジストマスクでのパターニングは、レジストマスクのドライエッチング時における膜減りが大きすぎて困難であるため、シリコン酸化膜等のハードマスクを用いてパターニングを行う。ここでは、シリコン酸化膜600 n m程度をハードマスクとして用いる。プレートコンタクト部においては、マスクを形成していないため、下部電極層1601、強誘電体膜1602、上部電極層1603は、全てエッチング除去される。したがって、プレートコンタクト部においては、エッチング防止層1301と、コンタクトプラグ1110とが露出される。なお、シリコン酸化膜のマスクを使用した場合には、100から200 n m程度のシリコン酸化膜が上部電極1603上に残存する。

【0044】

次に、シリコン酸化膜のマスクを除去し、酸素雰囲気或いは窒素雰囲気でアニールを行ない、強誘電体容量加工時のエッチングによる強誘電体容量へのダメージを回復させた後、図8に示すように、シリコン酸化膜の層間絶縁膜1401を500 n m程度全面に成長し、強誘電体容量の上部電極上、並びにプレートコンタクトのタンクステンプラグ上においてエッチング防止層1301をエッチングストップとしてコンタクトホール（開口部の直径は、例えば0.4 μm、深さは：層間膜厚と同じ500 n m）を形成する。さらに、プロセス途中のダメージを回復させるため、酸素雰囲気中或いは窒素雰囲気中でアニールを行う。ここでのアニールは、コンタクトホール開口のためのエッチングによる、強誘電体容量へのダメージを回復させるために行なわれる。

【0045】

次に、下層の窒化チタン120nm、アルミ300nm、上層の窒化チタン30nm程度からなる金属積層膜を全面に形成した後、パターニングを行い、図9に示すように、強誘電体容量16の上部電極1603とプレートコンタクト部のコンタクトプラグ1110とを接続するプレート線1501を形成する。

【0046】

このように、本実施例による方法では、第4の層間絶縁膜形成されたコンタクトプラグ1110の側面上部にシリコン窒化膜或いはシリコン窒化酸化膜からなるエッティング防止層1301を形成している。これらシリコン窒化膜或いはシリコン窒化酸化膜は、シリコン酸化膜との高い選択比を得ることが出来るため、コンタクトプラグ1110上にプレートコンタクト用のコンタクトホールを形成する際にも、エッティングがシリコン窒化膜或いはシリコン窒化酸化膜まで達した際に、エッティングの進行が遅延し、これより下のシリコン酸化膜で形成された第4の層間絶縁膜1111までエッティングが進行するのを防ぐことが出来る。そのため、目ずれ等により第4のコンタクトプラグ1110上からプレートコンタクトが外れたとしても、コンタクト不良を生じることがない。また、強誘電体容量上の層間膜と、第4の開孔部上の層間膜の膜厚は、同一になるため、プレートコンタクト部のシリコン酸化膜1401に形成されるプレートコンタクト径と、強誘電体容量16の上部電極1603上に形成されるコンタクト径は同一で良い。したがって、効率的なレイアウトが可能になるという利点が得られる。

【0047】

前述の第1の実施例では、強誘電体容量上の層間膜の平坦化を行わない場合について説明したが、以下、層間膜の平坦化を行う場合の第2の実施例について説明する。なお、強誘電体容量加工までの工程は、図3から図7までに示した第1の実施例の工程と同様のため、説明を省略する。

【0048】

図7に示した構成において、図10に示すようにシリコン酸化膜による層間絶縁膜1402を全面に成長し、化学研磨法により層間絶縁膜1402の平坦化を行った後、強誘電体容量16の上部電極1603上、並びにプレートコンタクト

部の第4のコンタクトプラグ1110上において、エッチング防止層1301をエッチングストップとしてコンタクトホールを形成する。層間絶縁膜1402の厚さは、強誘電体容量の上部電極上で、例えば400nm程度。このとき、プレートコンタクト部に形成されるコンタクトホール（例えば、直径：1.0μm、深さ：1000nm程度）は、アスペクト比を保つためにコンタクトホールの径を強誘電体容量16の上部電極上に形成されるコンタクトホールの径（例えば、直径：0.4μm、深さ：400nm程度）よりも大きく形成される。さらに、プロセス途中のダメージ、すなわちコンタクトホール開口のためのエッチングによる強誘電体容量へのダメージを回復させるため、酸素雰囲気中或いは窒素雰囲気中でアニールを行う。

【0049】

次に、図11に示すように、窒化チタン、アルミ、窒化チタンからなる金属積層膜を形成し、パターニングを行い上部電極1603とプレートコンタクト部のコンタクトプラグ1110とを接続するプレート線1501を形成する。

【0050】

このように、第2の実施例では、層間絶縁膜の平坦化が行われているため、プレート線の形成が容易になり、プレート線の断線、並びに接触による不良を大幅に低減出来るという効果が得られる。

【0051】

上記第1及び第2の実施例においては、強誘電体容量の上部電極上、並びにプレートコンタクト部のタンゲステンプラグ上とプレート線の接続は、プレート線と同様の材料でコンタクトホールを埋め込むことによって直接接続されているが、更にコンタクトプラグを使い接続することができる。そのための構成を、第3の実施例として図に示す。

【0052】

なお、本実施例においても、図3から図7までの工程は、本発明の第1の実施例と同様の方法で行われるため、説明を省略する。

【0053】

図7に示した工程に続き、図12に示すように、シリコン酸化膜による層間絶

縁膜1403を全面に成長し化学研磨法により層間絶縁膜1403の平坦化（強誘電体容量の上部電極上で、400nm程度）を行い、強誘電体容量16の上部電極1603上、並びにプレートコンタクト部のコンタクトプラグ1110において、エッチング防止層1301をエッチングストップとしてコンタクトホール1404及び1405（両コンタクトとも直径：0.4μm、上部電極上のコンタクトホール1404の深さ：0.4μm程度、コンタクトプラグ上のコンタクトホール1405の深さ：1.0μm程度）を開孔する。

【0054】

次に、図13に示すように、バリア膜としての窒化チタンを120nm程度全面に成膜した後、コンタクトホール1404及び1405が埋め込まれるように全面にタンクステンを成膜し、ドライエッチング法あるいは化学研磨法によりタンクステンを除去し、コンタクトホール1404及び1405内部のみにタンクステンを残存させ、強誘電体容量16上のコンタクトプラグ1406及びプレートコンタクト部のコンタクトプラグ1407を形成する。その後、窒化チタン、アルミ、窒化チタンによる金属積層膜を全面に成長し、パターニングを行い、プレート線1502を形成する。本実施例では、前実施例同様層間膜の平坦化が行われているため、プレート線の形成が容易になる。さらに、プレートコンタクト部において、コンタクトホールの埋め込みをタンクステンプラグによって行なっているため、アスペクト比の大きなコンタクトホールも容易に埋め込むことができる。したがって、プレートコンタクト径を前記2つの実施例よりもさらに小さくすることが可能になり、プレートコンタクト部における効率的なレイアウトが可能になる。

【0055】

以上、本発明を実施例及び図面を参照して詳述してきたが、具体的な構成及び製造方法は、これら実施例に限定されるものではなく、本発明の養子を逸脱しない範囲において、種々の設計変更等があってもよい。

【0056】

例えば、実施例において説明した、タンクステンプラグ側面上部に形成するエッチング防止膜は、シリコン窒化膜上にシリコン酸化膜を形成した積層膜、ある

いはシリコン窒化酸化膜上にシリコン酸化膜を形成した積層膜としてもよい。

【0057】

さらに、強誘電体の上下電極としては、ルテニウムのような貴金属を含む膜も適用されうる。上下電極としてルテニウム系膜を使用した場合には、下部電極としてチタン、窒化チタン、チタン、ルテニウム系膜の積層膜を用い、また上部電極としては、ルテニウム系膜、あるいはルテニウム系膜と窒化チタンの積層膜を用いる。

【0058】

また、強誘電体膜としては、 $PbTiO_3$ 膜、 SBT 膜($SrBi_2Ta_2Ta_2O_9$ 膜)、 $Pb_{1-x}La_xZr_yTi_{1-y}O_3$ 膜、 $Pb_{1-x-y}La_xCa_yZr_zTi_{1-z}O_3$ 膜、あるいは $SrBi_2(Ta_xNb_{1-x})_2O_9$ 膜のような膜も適用することができる。

【0059】

また、プレート線としては、アルミ系金属膜の代わりに、ダマシン法による銅膜を用いてもよい。

【0060】

また、実施例においては、多層配線層が3層の配線層を有するものについて説明したが、多層配線層は何層であっても良く、また、プレート線の上に、さらに配線層を有するものであっても良い。

【0061】

【発明の効果】

以上のとおり、プレートコンタクト部の多層配線中にエッチング防止膜を介してコンタクトプラグを形成しているため、強誘電体容量の上部電極とコンタクトプラグとをプレート線により接触不良を起こすことなく確実に接続することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施例による半導体記憶装置の断面図

【図2】

本発明の第1の実施例による半導体装置の平面図

【図3】

本発明の第1の実施例による半導体装置の平面図

【図4】

本発明の第1の実施例による半導体記憶装置の製造方法を示す図

【図5】

本発明の第1の実施例による半導体記憶装置の製造方法を示す図

【図6】

本発明の第1の実施例による半導体記憶装置の製造方法を示す図

【図7】

本発明の第1の実施例による半導体記憶装置の製造方法を示す図

【図8】

本発明の第1の実施例による半導体記憶装置の製造方法を示す図

【図9】

本発明の第1の実施例による半導体記憶装置の製造方法を示す図

【図10】

本発明の第2の実施例による半導体記憶装置の製造方法を示す図

【図11】

本発明の第2の実施例による半導体記憶装置の製造方法を示す図

【図12】

本発明の第3の実施例による半導体記憶装置の製造方法を示す図

【図13】

本発明の第3の実施例による半導体記憶装置の製造方法を示す図

【図14】

従来の半導体記憶装置の製造方法を示す図

【図15】

従来の半導体記憶装置の製造方法を示す図

【図16】

従来の半導体記憶装置の製造方法を示す図

【図17】

従来の半導体記憶装置の製造方法を示す図

【図18】

従来の半導体記憶装置の製造方法を示す図

【図19】

従来の半導体記憶装置の製造方法を示す図

【図20】

従来の半導体記憶装置の製造方法を示す図

【図21】

従来の半導体記憶装置の他の製造方法を示す図

【図22】

従来の半導体記憶装置の他の製造方法を示す図

【図23】

従来の半導体記憶装置の他の製造方法を示す図

【図24】

従来の半導体記憶装置の他の製造方法を示す図

【図25】

従来の半導体記憶装置の他の製造方法を示す図

【図26】

従来の半導体記憶装置の更に他の製造方法を示す図

【図27】

従来の半導体記憶装置の更に他の製造方法を示す図

【符号の説明】

1 半導体基板

1 1 多層配線層

1 6 強誘電体容量

1 3 0 1 エッティング防止層

1 4 0 1、1 4 0 2、1 4 0 3 層間絶縁膜

1 4 0 4、1 4 0 5 コンタクトホール

1406、1407 コンタクトプラグ

1501、1502、1503 プレート線

1601 下部電極

1602 強誘電体

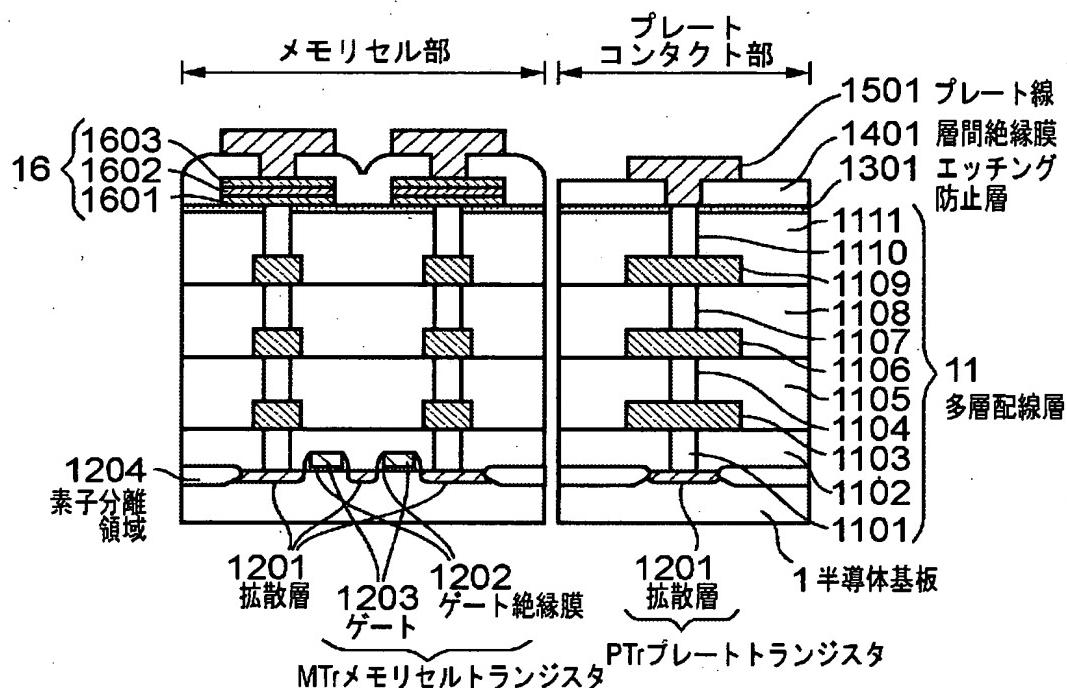
1603 上部電極

MTr メモリセルトランジスタ

PTr プレートトランジスタ

【書類名】 図面

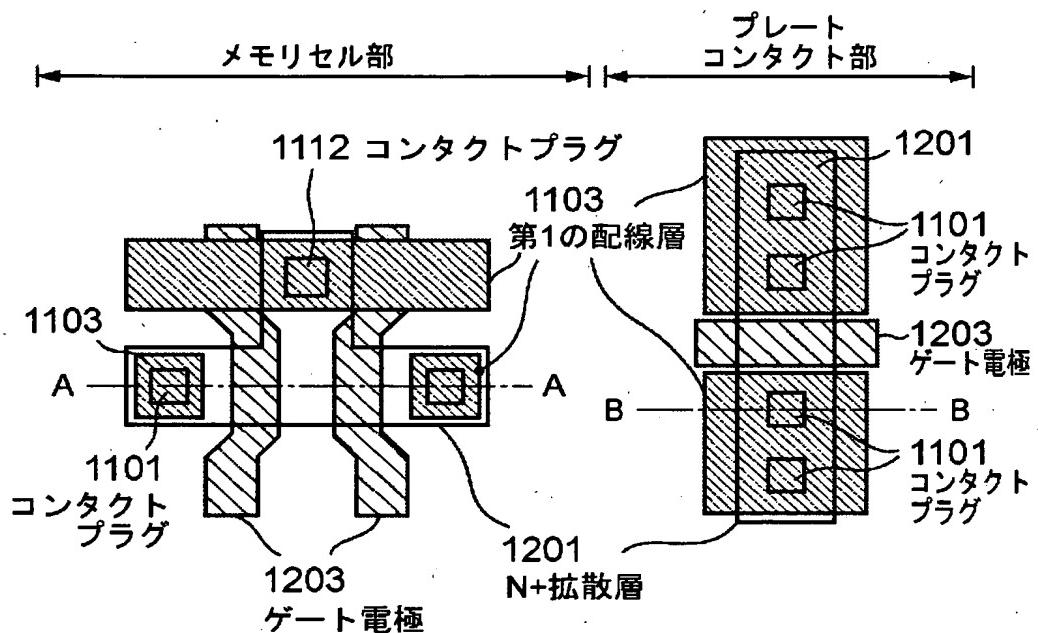
【図1】



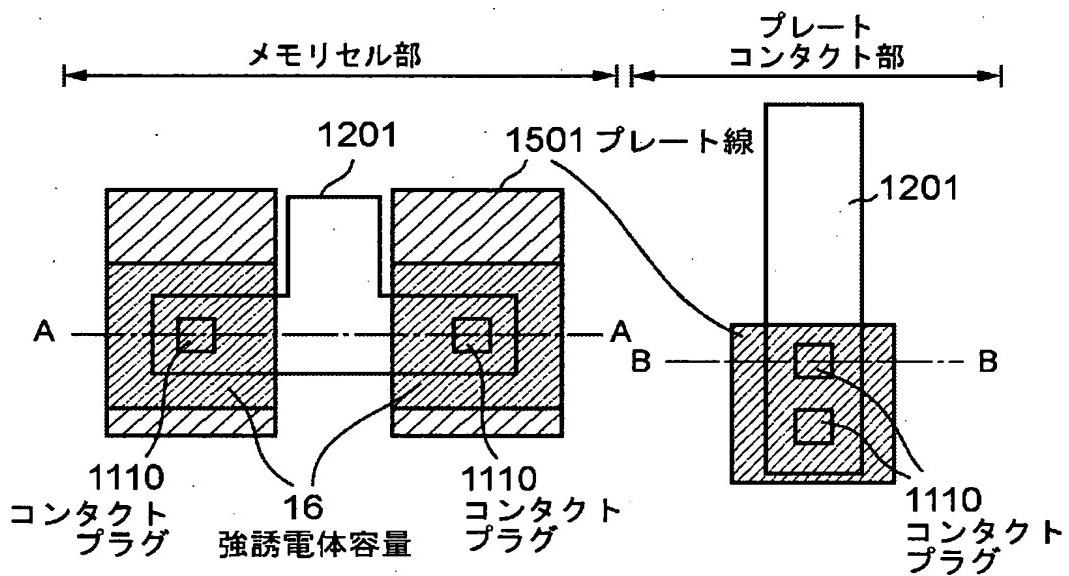
1601 下部電極
1602 強誘電体膜
1603 上部電極 } 16: 強誘電体容量

1101 第1のコンタクトプラグ
1102 第1の層間絶縁膜
1103 第1の配線層
1104 第2のコンタクトプラグ
1105 第2の層間絶縁膜
1106 第2の配線層
1107 第3のコンタクトプラグ
1108 第3の層間絶縁膜
1109 第3の配線層
1110 第4のコンタクトプラグ
1111 第4の層間絶縁膜 } 11: 多層配線層

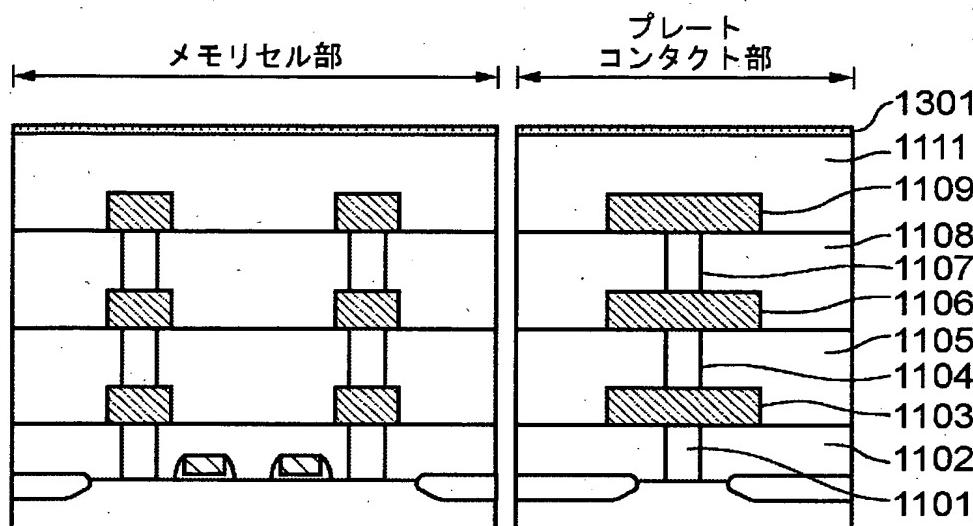
【図2】



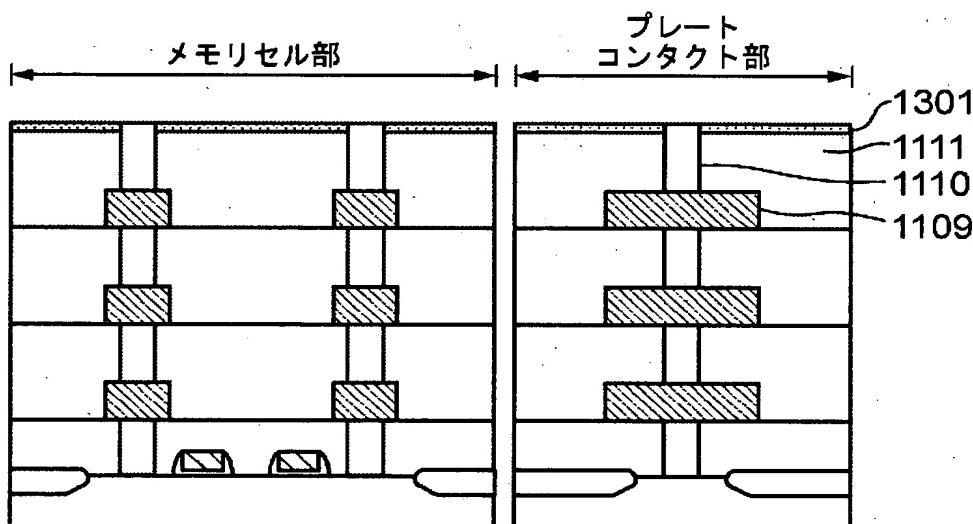
【図3】



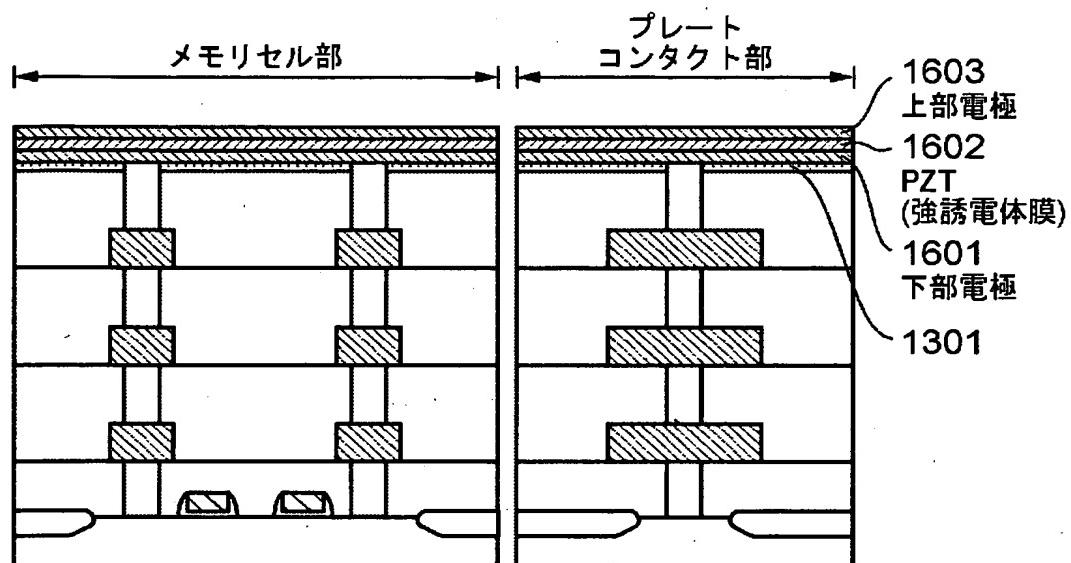
【図4】



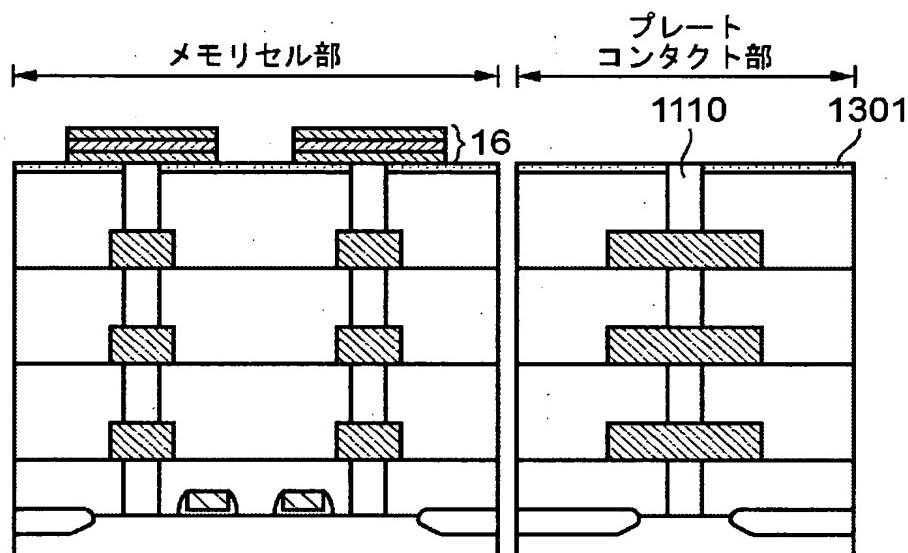
【図5】



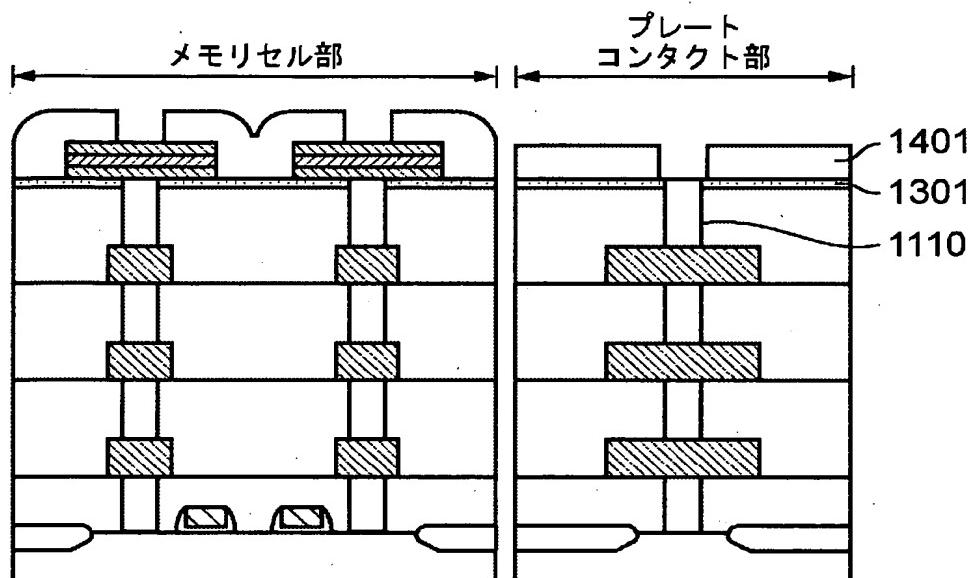
【図6】



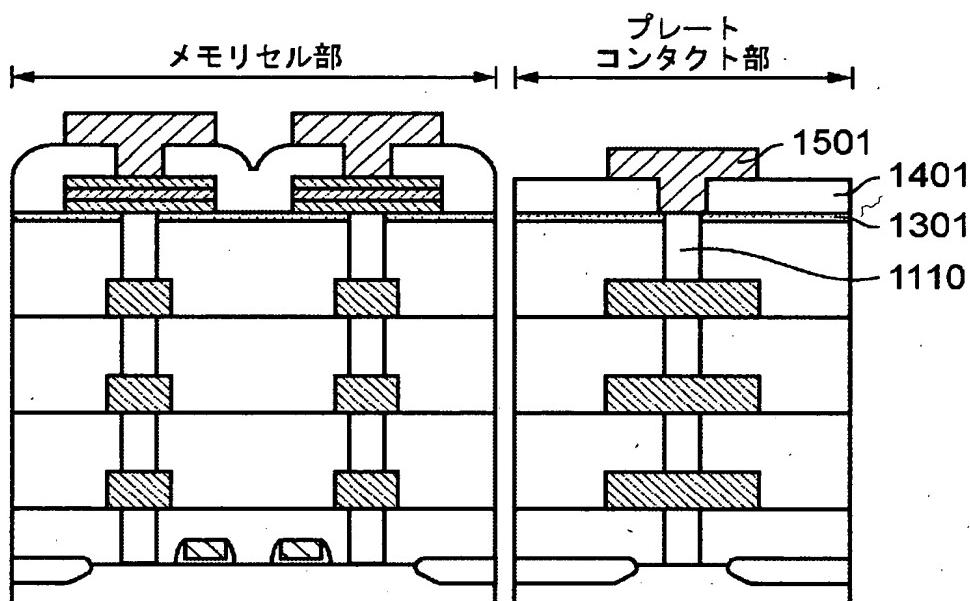
【図7】



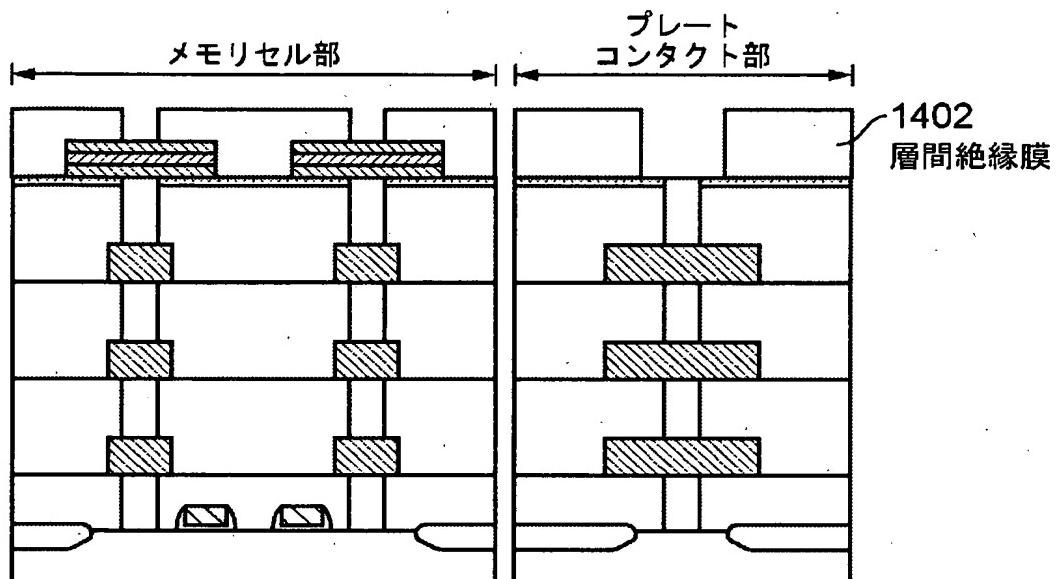
【図8】



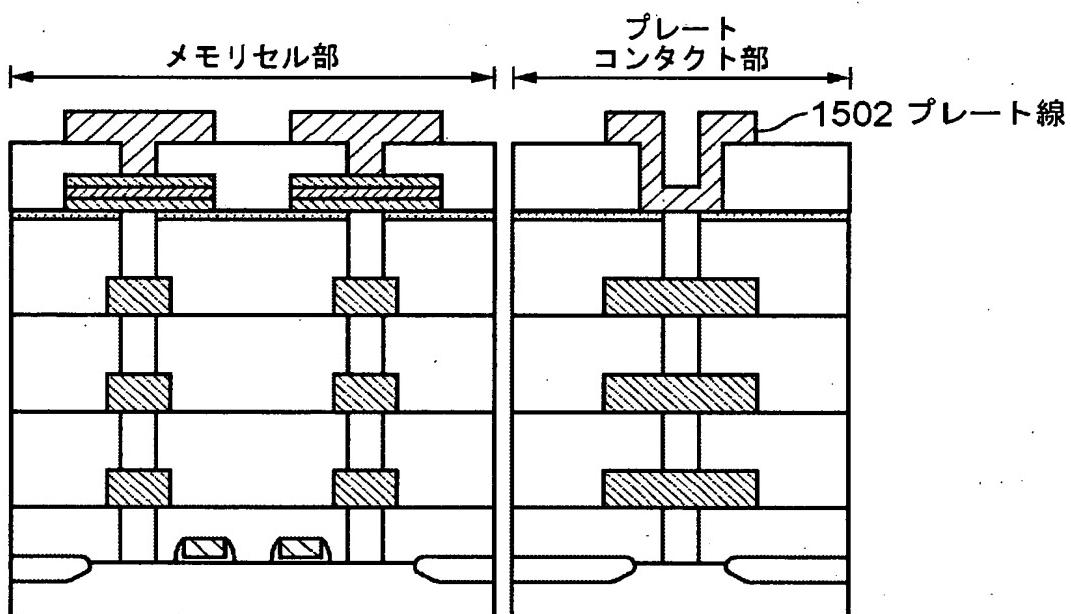
【図9】



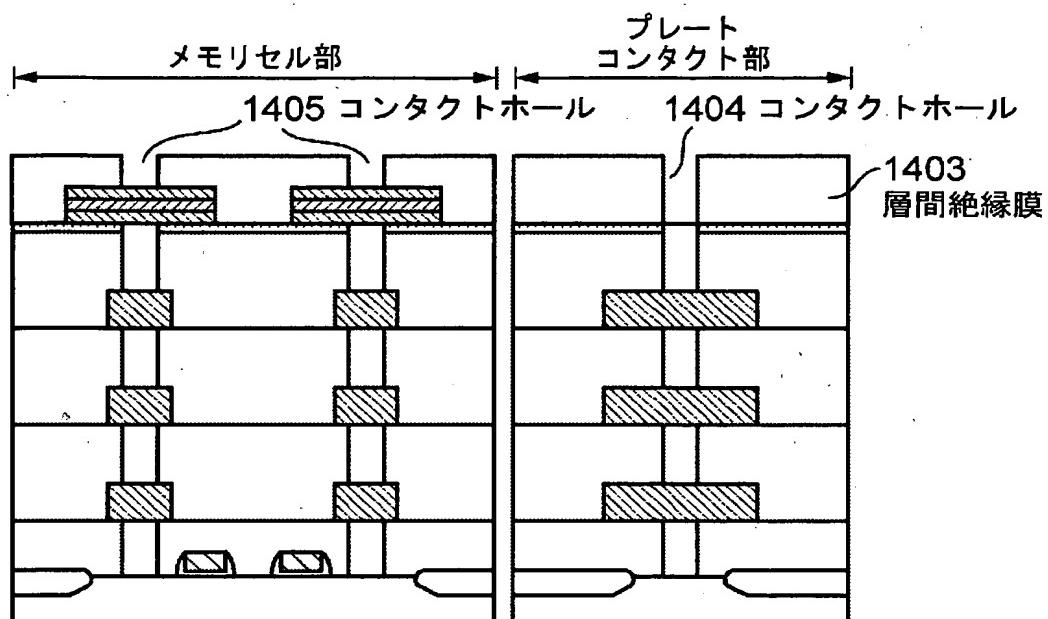
【図10】



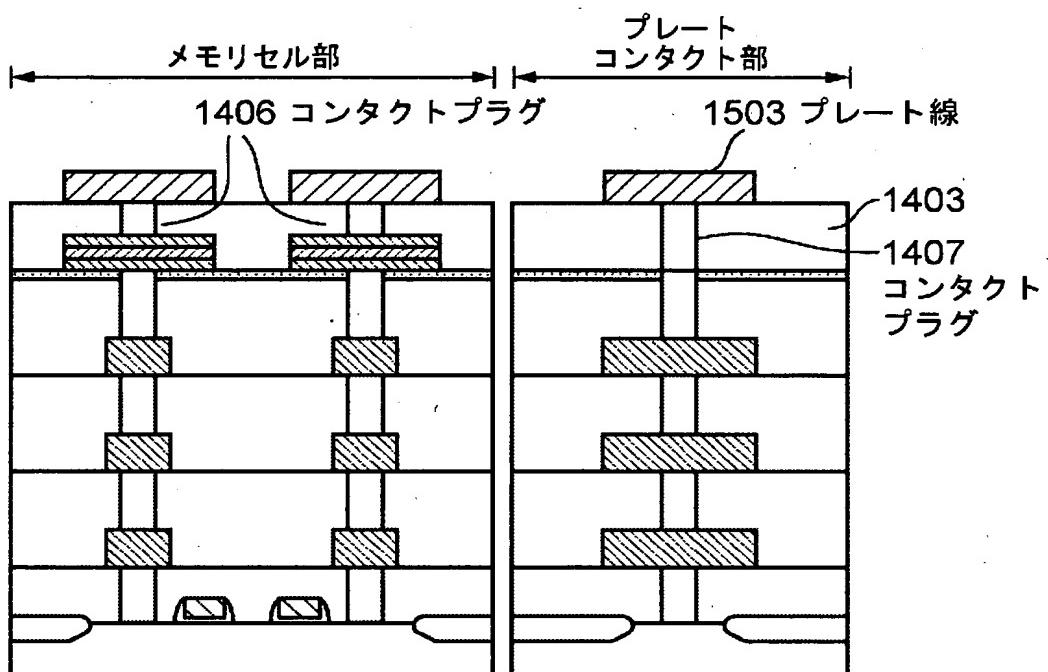
【図11】



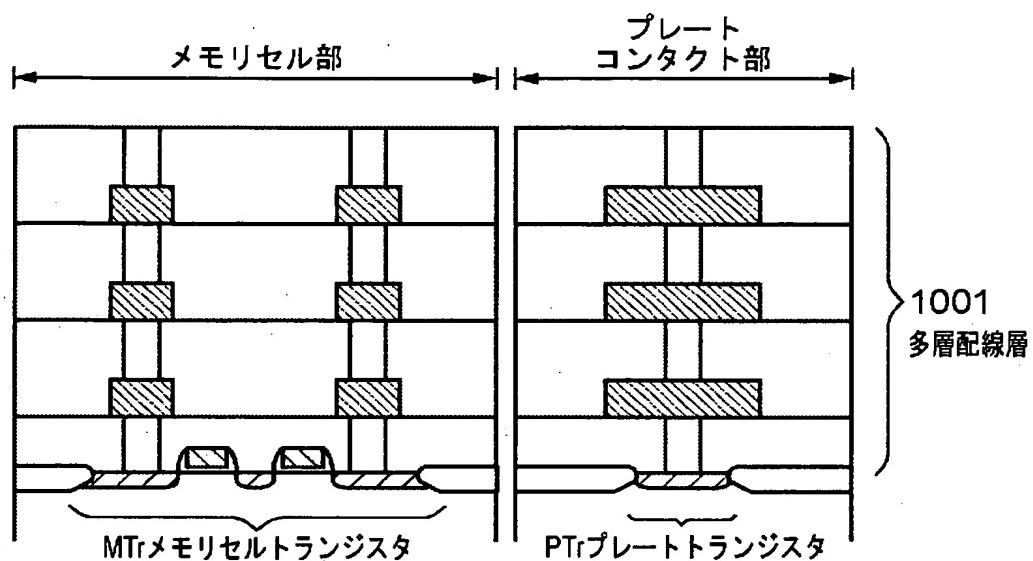
【図12】



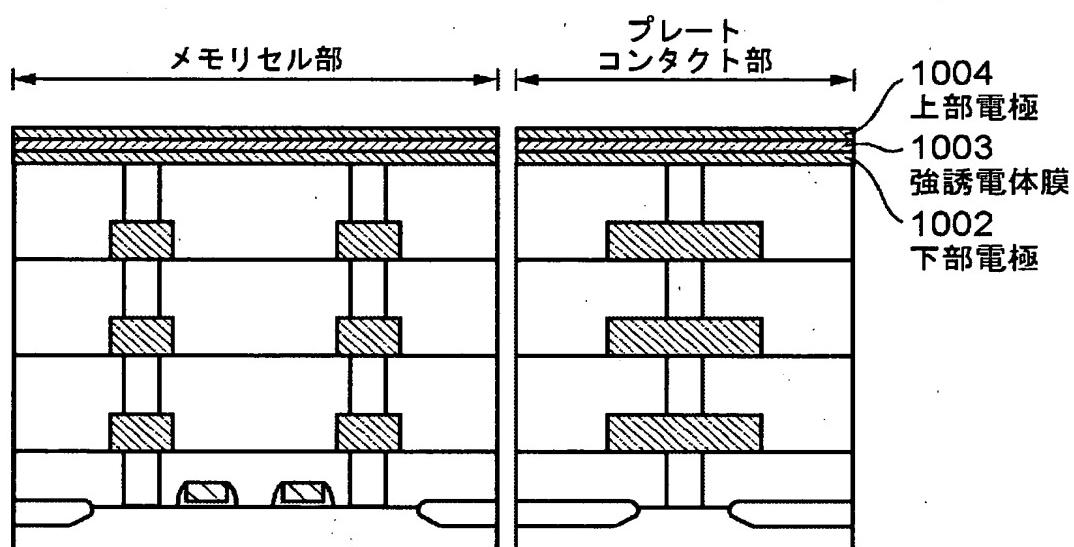
【図13】



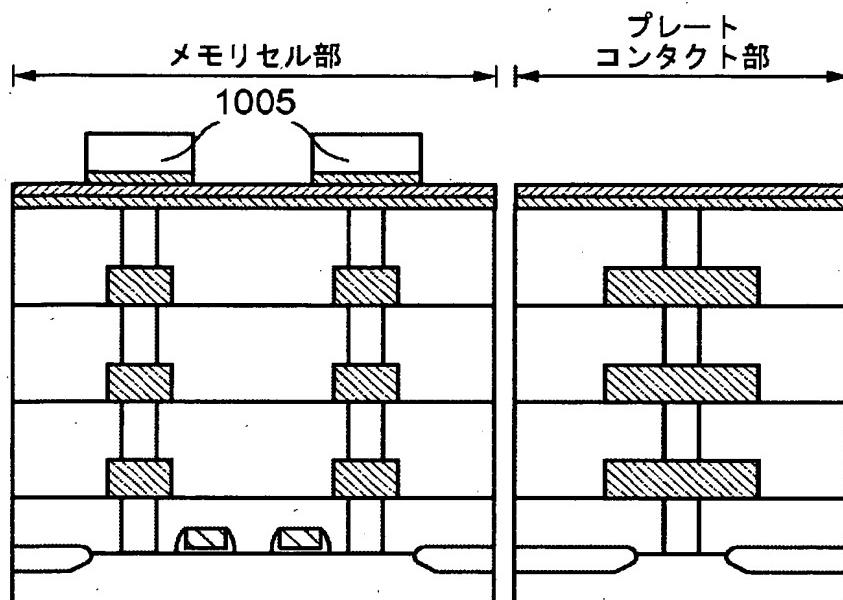
【図14】



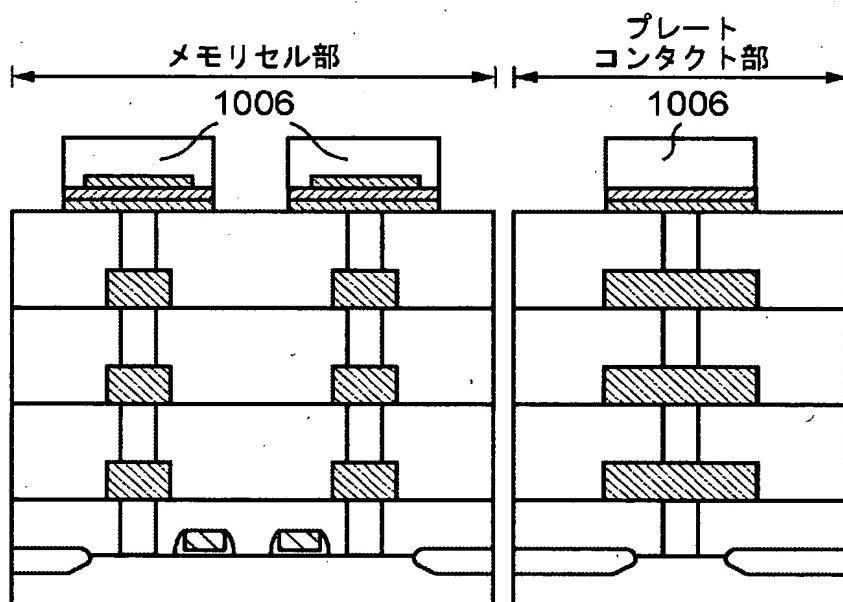
【図15】



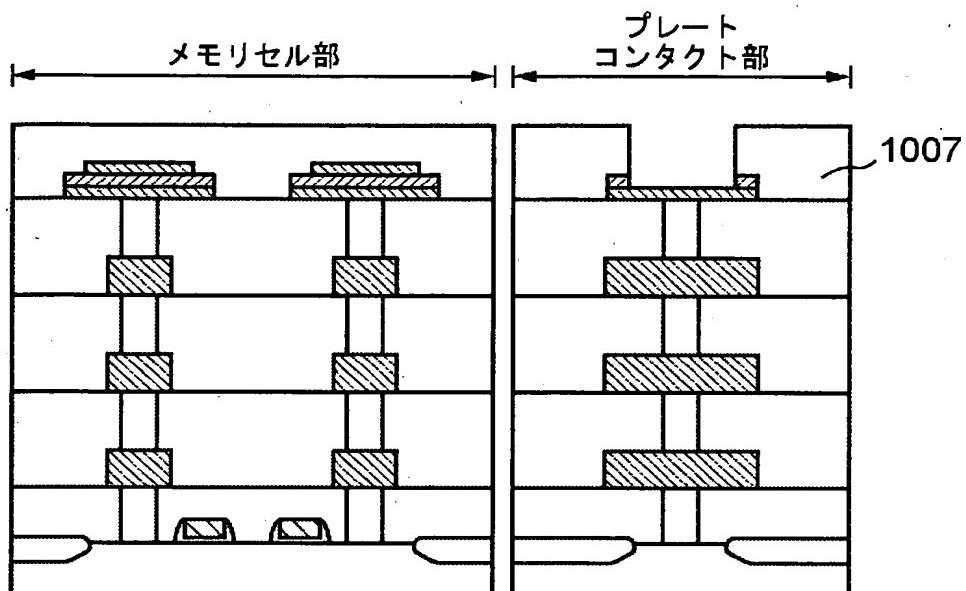
【図16】



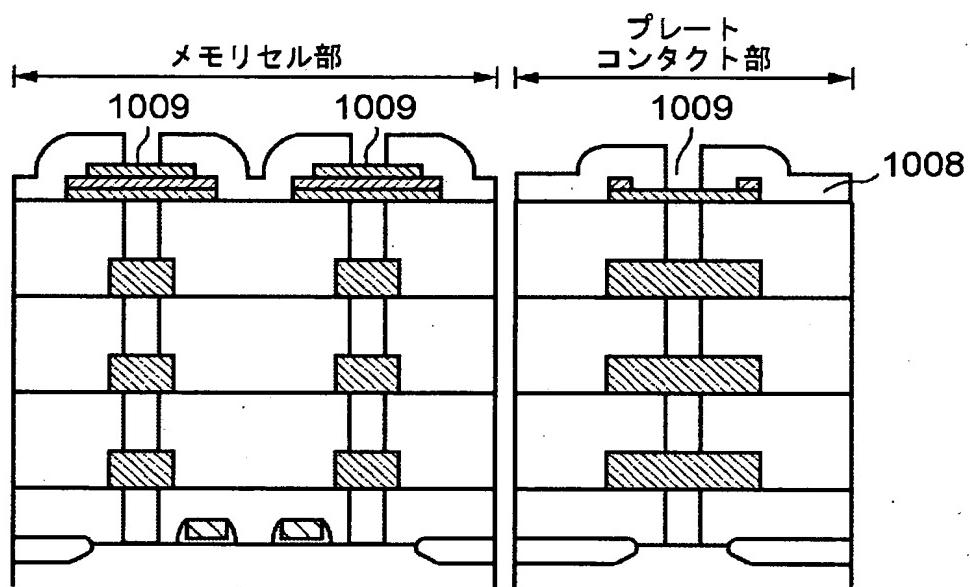
【図17】



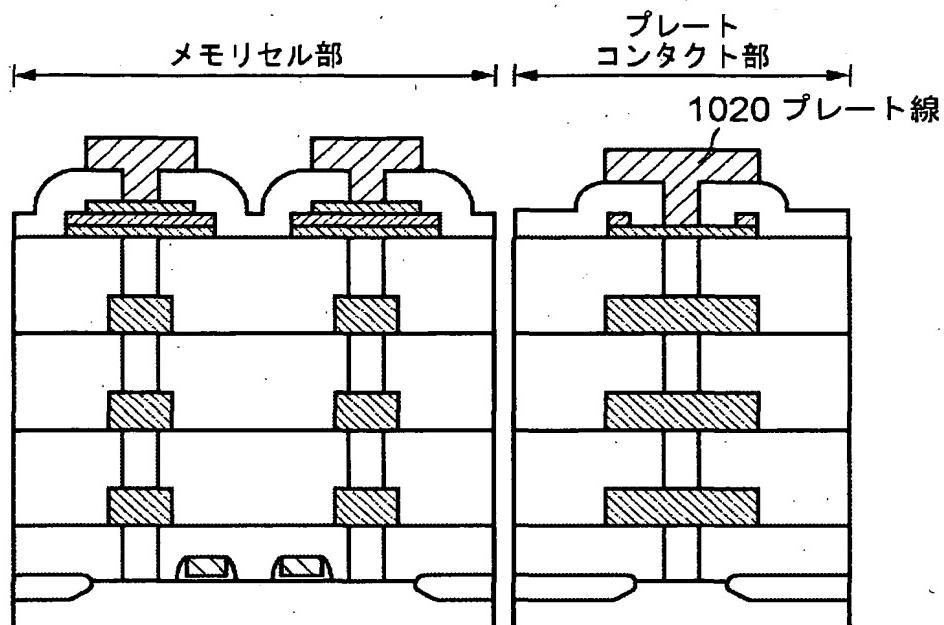
【図18】



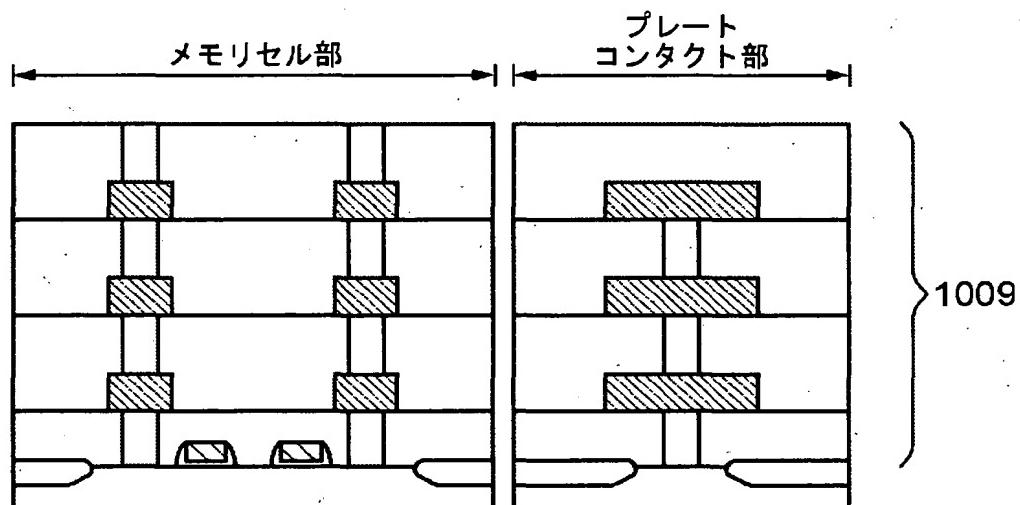
【図19】



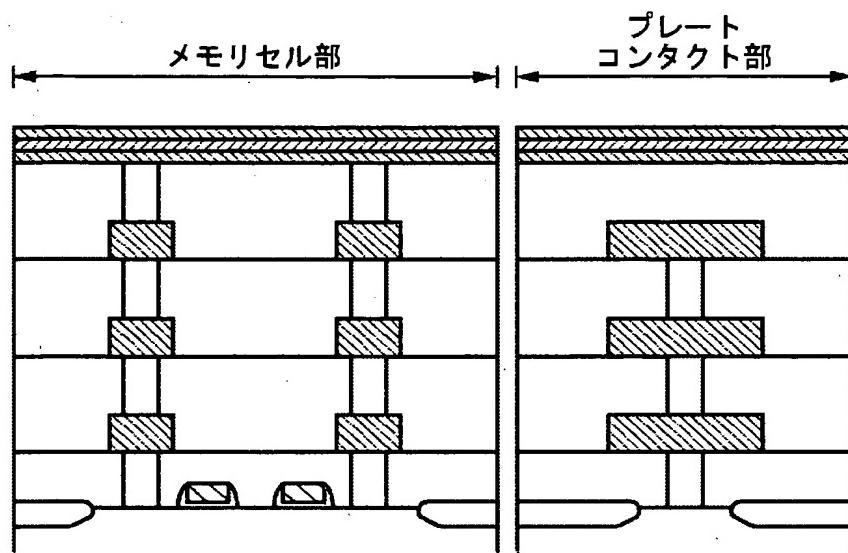
【図20】



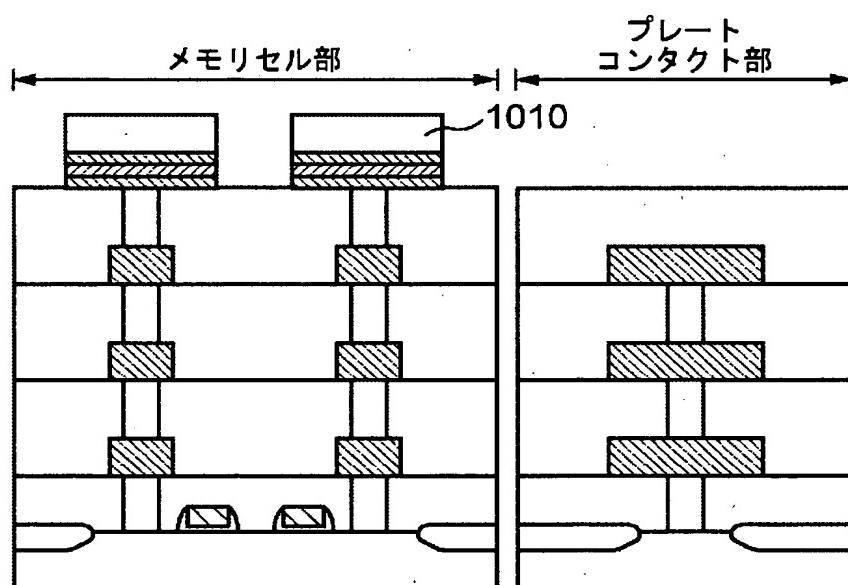
【図21】



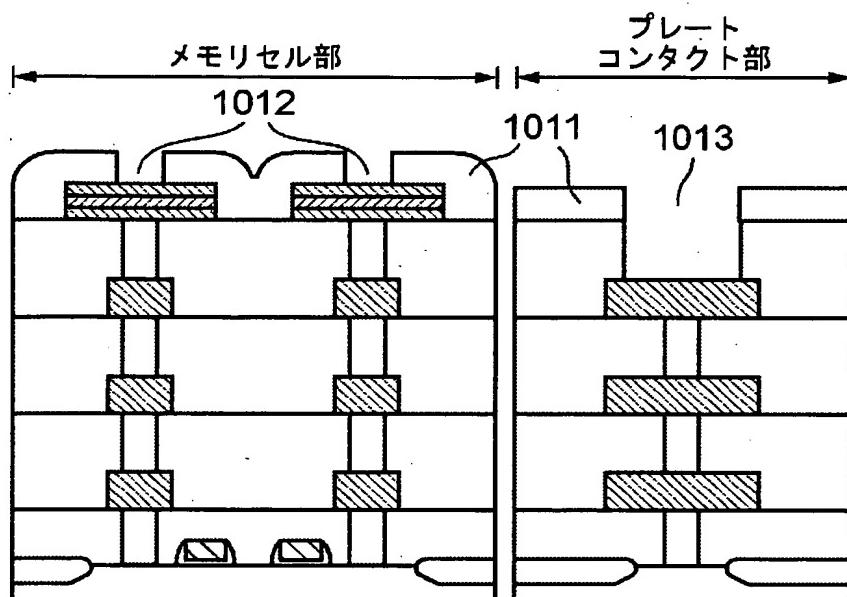
【図22】



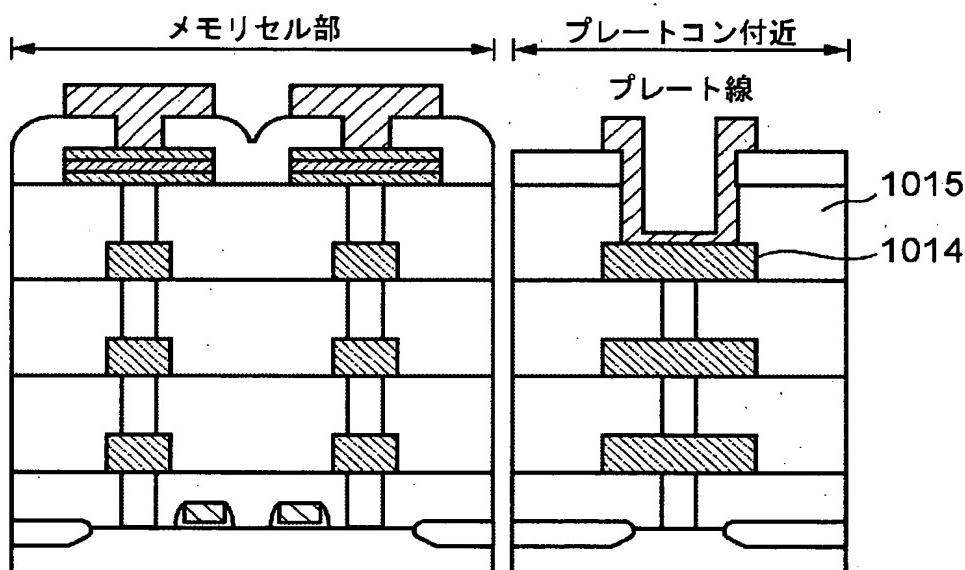
【図23】



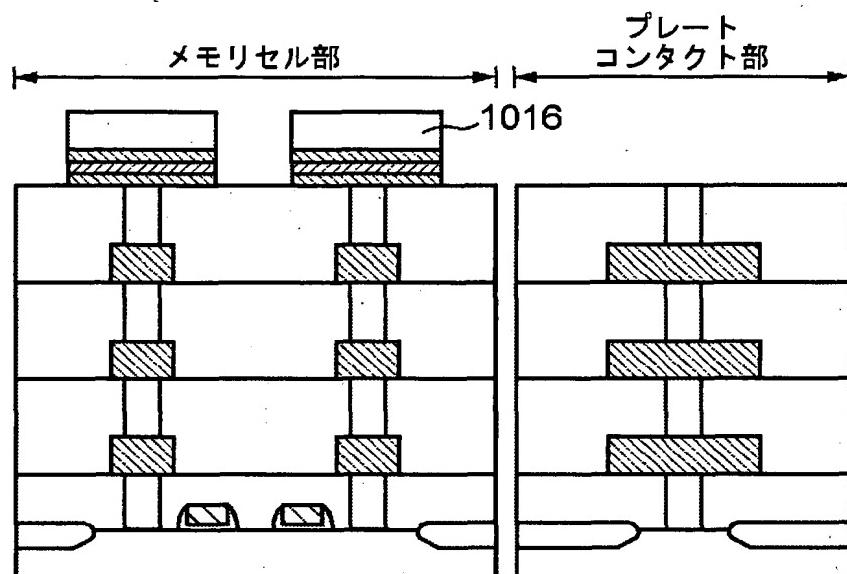
【図24】



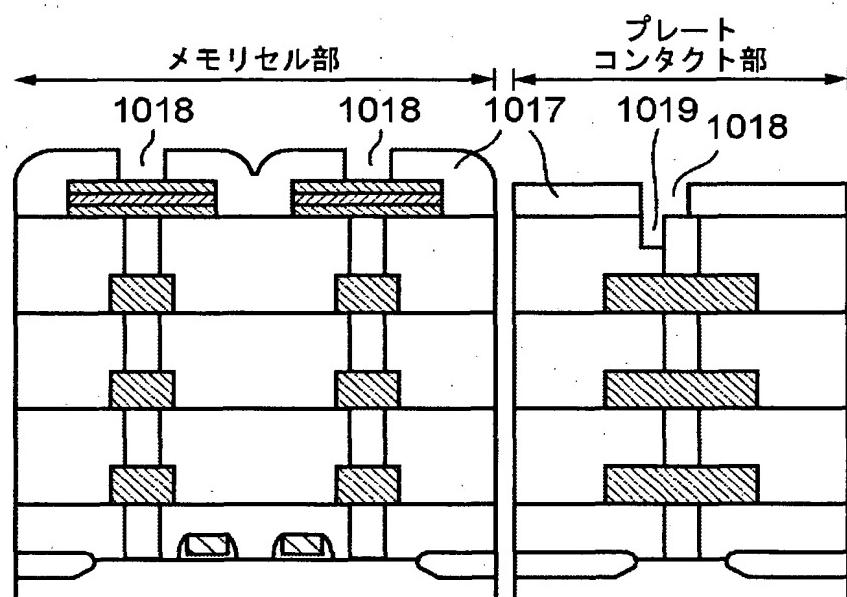
【図25】



【図26】



【図27】



【書類名】 要約書

【要約】

【課題】 強誘電体容量の上部電極に接触不良を起こすことなくプレート線を接続する。

【解決手段】 多層配線層上に形成されたエッチング防止膜と、メモリトランジスタの拡散層と接続するためにエッチング防止膜を貫通して多層配線層内に設けられたメモリセル用コンタクトプラグと、プレートトランジスタの拡散層と接続するためにエッチング防止膜を貫通して多層配線内に設けられたプレート用コンタクトプラグと、メモリセル用コンタクトプラグ上に形成された強誘電体容量、強誘電体容量の上部電極とプレート用コンタクトプラグとを覆って形成された層間絶縁膜と、層間絶縁膜に形成されたコンタクトホールを介して強誘電体容量の上部電極とプレート用コンタクトプラグとを接続するプレート線とを備える。

【選択図】 図1

認定・付加情報

特許出願の番号 特願2002-226151
受付番号 50201149705
書類名 特許願
担当官 第五担当上席 0094
作成日 平成14年 8月 5日

<認定情報・付加情報>

【提出日】 平成14年 8月 2日

次頁無

【書類名】出願人名義変更届（一般承継）

【あて先】特許庁長官殿

【事件の表示】

【出願番号】特願2002-226151

【承継人】

【識別番号】302062931

【氏名又は名称】N E C エレクトロニクス株式会社

【承継人代理人】

【識別番号】100109313

【弁理士】

【氏名又は名称】机 昌彦

【提出物件の目録】

【物件名】承継人であることを証明する登記簿謄本 1

【援用の表示】平成15年1月10日提出の特願2002-31848
8の出願人名義変更届（一般承継）に添付のものを援用
する。

【物件名】承継人であることを証明する承継証明書 1

【援用の表示】平成15年1月10日提出の特願2002-29761
2の出願人名義変更届（一般承継）に添付のものを援用
する。

【包括委任状番号】0215753

【プルーフの要否】要

認定・付加情報

特許出願の番号 特願2002-226151
受付番号 50300206691
書類名 出願人名義変更届（一般承継）
担当官 笹川 友子 9482
作成日 平成15年 2月20日

<認定情報・付加情報>

【提出日】 平成15年 2月10日

次頁無

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社

出願人履歴情報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社